

⑫ 公開特許公報(A)

昭64-24232

⑤Int.Cl.⁴

G 02 F 1/133
G 09 F 9/30
H 01 L 27/12
29/78

識別記号

3 2 7
3 3 8
3 1 1

庁内整理番号

7370-2H
7335-5C
A-7514-5F
A-7925-5F

④公開 昭和64年(1989)1月26日

審査請求 未請求 発明の数 1 (全5頁)

⑬発明の名称 薄膜トランジスタマトリクス

⑭特 願 昭62-181922

⑮出 願 昭62(1987)7月20日

⑯発 明 者 市 村 照 彦 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑰発 明 者 川 井 悟 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑱発 明 者 滝 沢 英 明 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

薄膜トランジスタマトリクス

2. 特許請求の範囲

透明絶縁性基板(1)上にマトリクス状に配列された画素対応の薄膜トランジスタ(4)及び該薄膜トランジスタにより駆動される表示セルの画素電極(5)と、前記画素の行方向に配設されたゲートバスライン(3)及び列方向に配設されたドレインバスライン(2)とを具備する薄膜トランジスタマトリクスにおいて、

前記ドレインバスライン(2)と前記ゲートバスライン(3)および前記薄膜トランジスタ(4)上を被覆する不透明な導電膜(7)を保護絶縁膜(6)を介して形成したことを特徴とする薄膜トランジスタマトリクス。

3. 発明の詳細な説明

〔概要〕

本発明は、薄膜トランジスタ(TFT)マトリクス液晶表示装置の構造、特にTFTマトリクスに関し、

画素電極とドレインバスラインとの間の容量を減少させ、ドレインバスラインの電位による画素電極の電圧変動の防止と、光によるリーク電流の発生を防止するため動作半導体層の遮光とともに、ブラックストライプを設けるという課題を一挙に解決することを目的とし、

透明絶縁性基板上にマトリクス状に配列された画素対応の薄膜トランジスタ(TFT)及び該薄膜トランジスタに駆動される表示セルの画素電極と、前記画素の行方向に配設されたゲートバスライン及び列方向に配設されたドレインバスラインとを具備する薄膜トランジスタマトリクスにおいて、前記ドレインバスラインと前記ゲートバスラインおよび前記薄膜トランジスタ上を被覆する不透明な導電膜を保護絶縁膜を介して形成した構成とする。

〔産業上の利用分野〕

本発明は、TFTマトリクス液晶表示装置の構造、特にTFTマトリクスに関する。

〔従来の技術〕

鮮明な画像を得るには画素電極の電圧を正確に制御する必要がある。しかしバスラインとの容量結合が生じ、画素電極の電圧が変動してしまう。このため、画素電極の電圧変動を抑える構造が必要である。

第4図(a)は従来のTFTマトリクスの構造を示す図で、図中、1はガラス基板、2はドレインバスライン、3はゲートバスライン、4はTFT、5は画素電極である。同図に示すように、従来のTFTマトリクスは、ドレインバスライン2と画素電極5とが、接近して配置された構造を有する。

そのため、画素電極5とドレインバスライン2との間に容量 C_{os} が生じる。

この容量 C_{os} は、同図(b)に見られる如く、画素電極5及びドレインバスライン2表面同士の間

作半導体層に光が入射するとリーク電流が流れるという問題があり、一方では鮮明な画像を得るためにブラックストライプを設けることがのぞまれている。

本発明の目的は、画素電極とドレインバスラインとの間の容量を減少させ、ドレインバスラインの電位による画素電極の電圧変動の防止と、光によるリーク電流の発生を防止するため動作半導体層の遮光とともに、ブラックストライプを設けるという課題を一挙に解決することにある。

〔問題点を解決するための手段〕

本発明においては、第1図(a)、(b)に示すように、ガラス基板1のような絶縁性基板上に形成されたドレインバスライン2、ゲートバスライン3、およびTFT4の上に、保護絶縁膜6を介して不透明な導電膜7を形成したものである。

この導電膜7を接地端に接続すれば、上記導電膜を常に低電位に保持することによりシールド膜とすることができる。なお、上記第1図(b)は、同

容量成分 C_{os1} と裏面同士の間容量成分 C_{os2} とからなり、従って $C_{os} = C_{os1} + C_{os2}$ で表される。

上記容量 C_{os} によってドレインバスライン2と画素電極5とが結合され、ドレインバスライン2の電圧変化によって、画素電極5の電位が容易に変動する。

またTFTの動作半導体層はa-Si(アモルファス・シリコン)層を用いて形成されているため、光によるリーク電流が生起されるという問題がある。更に鮮明な画像を得るためにコントラストを高めることを要請されており、そのためにはブラックストライプを設けることが望ましい。

〔発明が解決しようとする問題点〕

上述したように従来のTFTマトリクスの構成では、画素電極5とドレインバスライン2との間の容量 C_{os} に二つの容量成分を含むので、その値が大きくなり、そのため画素電極5の電位がドレイン電圧の変化によって容易に影響され、また動

図(a)の一点鎖線Aで示す部分の断面図である。

〔作用〕

上記導電膜7を接地端に接続すれば、その電位は常に接地電位に保持される。従って導電膜7は画素電極5とドレインバスライン2間のシールド膜として働き、前述の寄生容量 C_{os} から容量成分 C_{os1} がなくなり、その結果裏面同士の間容量成分 C_{os2} のみが残留することとなる。

この二つの容量成分の大きさは、 C_{os2} を構成するガラスの誘電率 ϵ_2 は4程度であるのに対して、 C_{os1} を構成する液晶の誘電率 ϵ_1 は10~15程度で ϵ_2 の約3倍程ある。従って C_{os1} は C_{os2} の凡そ3倍程度あるので、これが無くなることにより、画素電極5とドレインバスライン2間の容量 C_{os} は従来の約1/4に減少する。そのため、画素電極5の電位 V_{LC} に対するドレインバスライン2の電位 V_D の影響は非常に小さくなり、望ましくない電圧変動が抑制され、良好な画質が得られる。

また上記導電膜 7 は T F T 4 を被覆しているの
で、光は T F T 4 には入射せず、従って光による
リーク電流が生起されることはない。

更に、上記導電膜 7 はドレインバスライン 2 と
ともにゲートバスライン 3 の上を被覆するよう配
設しているので、各画素は導電膜 7 で取り囲まれ
た構成となる。この導電膜 7 は不透明膜であるた
め、これはブラックストライプとして働く。

〔実 施 例〕

以下第 2 図(a)~(i)により本発明の一実施例を、
その製造工程とともに説明する。なお同図は前記
第 1 図(b)と同様に、第 1 図(a)の一点鎖線 A で示す
部分の断面図である。

先ず同図(a)に示すように、ガラス基板 1 のよう
な絶縁性基板上に、厚さ約 800 Å のクロム (C r)
層と約 1 μ m のアルミニウム (A l) 層からなる
ドレインバスライン 2、及び同図には示していな
いが厚さ凡そ 800 Å の T i (チタン) 層からなる
ゲートバスライン 3 (前記第 1 図参照) を選択的

次いで同図(b)に示す如く、C r、A l 層からな
る不透明な導電膜 7 を形成する。

次いで同図(c)に示す如く、上記導電膜 7 上に該
導電膜 7 のパターンニング用のレジスト膜 11 を形成
する。このレジスト膜 11 は上記不透明な導電膜 7
を残留させる領域、即ちドレインバスライン 2、
ゲートバスライン 3、および T F T 4 上を被覆す
るパターンとする。

次いで同図(d)に示すように、上記レジスト膜 11
をマスクとして導電膜 7 の露出部を選択的に除去
して、導電膜 7 を各ドレインバスライン 2、ゲ
ートバスライン 3、および T F T 4 の上部に残留さ
せ、該残留した導電膜 7 を、図示はしていないが
接地用端子に接続する。この後、上記マスクとし
て用いたレジスト膜 11 を除去する。

以上のようにして得られた T F T マトリクスは、
前述したように、各ドレインバスライン 2、ゲ
ートバスライン 3、および T F T 4 上を保護絶縁膜 6
を介して導電膜 7 が被覆し、この導電膜 7 は接地
用端子に接続されている。そのため、この導電膜

に形成する。

次いで同図(e)に示すように、その上を例えば厚
さ約 1 μ m のポリイミド膜のような保護絶縁膜 6
を被覆する。

次いで同図(f)に示す如く、上記保護絶縁膜 6 上
にドレインバスライン 2、ゲートバスライン 3、
および T F T 4 上部を被覆するレジスト膜 8 を形
成する。

次いで同図(g)に示すように、上記レジスト膜 8
をマスクとして酸素 (O₂) を用いてプラズマエ
ッチングを施し、保護絶縁膜 6 の露出部、即ちド
レインバスライン 2、ゲートバスライン 3、およ
び T F T 4 上以外の不要部を選択的に除去する。
この後、レジスト膜 8 を除去する。

次いで同図(h)に示すように、画素電極 5 の形成
部以外を被覆するレジスト膜 9 を形成する。

次いで同図(i)に示すように、インジウム・錫酸
化物 (I T O) 層 10 を形成し、その後上記レジス
ト膜 9 を除去することにより、レジスト膜 9 上に
被着した I T O 層 10 の不要部を同時に除去する。

7 は常に 0 電位に保たれる。そのため、画素電極
5 とドレインバスライン 2 間は導電膜 7 によって
シールドされていることとなり、第 3 図に見られ
る如く画素電極 5 の電位 V_{LC} は、ドレインバス
ライン 2 の電位 V_G の変動による影響を受けることが
なく、鮮明な画質が得られる。なお同図には比較
のため、従来構造における画素電極電位 V_{LC} の変
動を掲げてある。これと比較して本発明では、ド
レインバスライン 2 の電位 V_G の変動の影響が、
非常に小さくなったことを理解できよう。

また本実施例の不透明な導電膜 7 は各 T F T 4
上を被覆しているの、T F T 4 は遮光され、た
とえ光が入射してもその影響を受けることがなく、
従って光によるリーク電流が生じることがなく、
安定な動作が可能となる。

更に、本実施例の導電膜 7 は直交配置されたド
レインバスライン 2 とゲートバスライン 3 の双方
を被覆しているの、各画素はこの導電膜 7 で取
り囲まれたこととなる。この導電膜 7 は不透明で
あるので、表示上ではブラックストライプとして

働くこととなる。

このように多目的に作用する不透明な導電膜7を本実施例では、膜形成工程とこれのエッチング工程を1回実施するのみで形成できるので、製造は容易である。

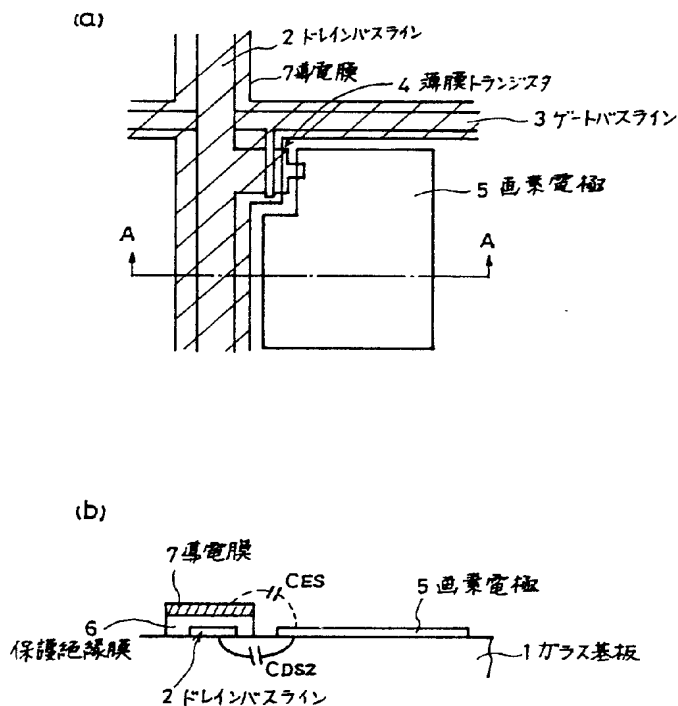
なお本発明は、スタガード型及び逆スタガード型薄膜トランジスタマトリクス of 何れにも適用できる。

(発明の効果)

以上説明した如く本発明によれば、容量結合による画素電極の電圧変動を抑制することができ、且つTFTの光によるリーク電流の発生が防止されるので、特性が動作特性が安定となり、鮮明な画像を得るためのこまかな電圧制御が可能となる。しかも、各画素にはブラックストライプが配設されるので、画像が鮮明となる。

4. 図面の簡単な説明

第1図(a)、(b)は本発明の原理説明図、



本発明原理説明図
第1図

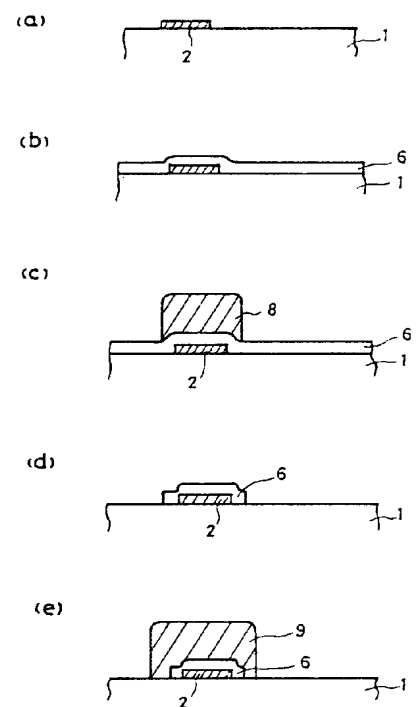
第2図(a)～(i)は本発明一実施例の説明図、

第3図は上記一実施例の各部の電圧を示す波形図、

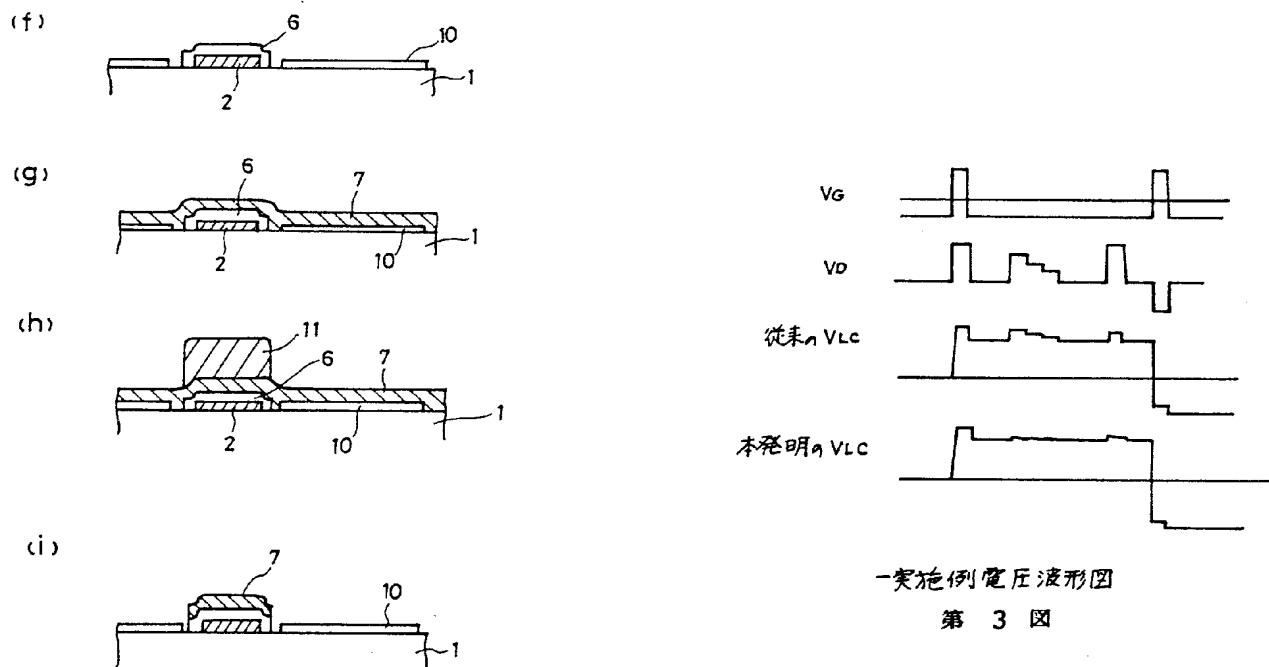
第4図(a)、(b)は従来のTFTマトリクス説明図である。

図において、1は絶縁性基板、2はドレインバスライン、3はゲートバスライン、4はTFT、5は画素電極、6は保護絶縁膜、7は導電膜を示す。

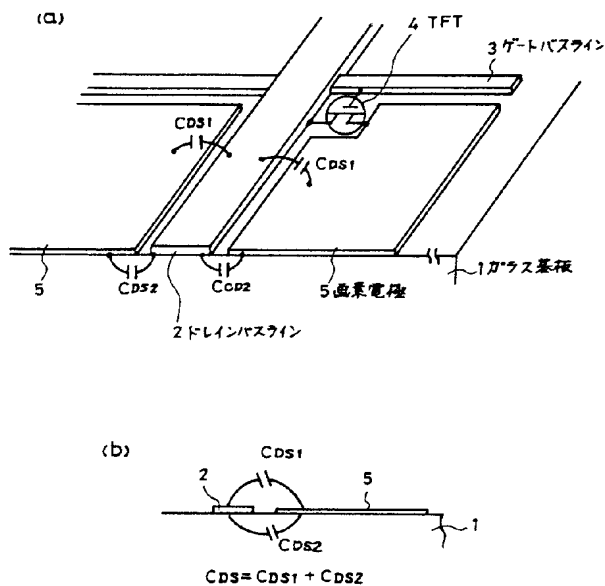
代理人 弁理士 井 桁 貞



本発明一実施例説明図
第2図



本発明一実施例説明図
第2図



従来のTFTマトリクス説明図
第4図